

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-098159

(43)Date of publication of application : 09.04.1999

(51)Int.Cl.

H04L 12/40

(21)Application number : 09-268251

(71)Applicant : NEC CORP

(22)Date of filing : 16.09.1997

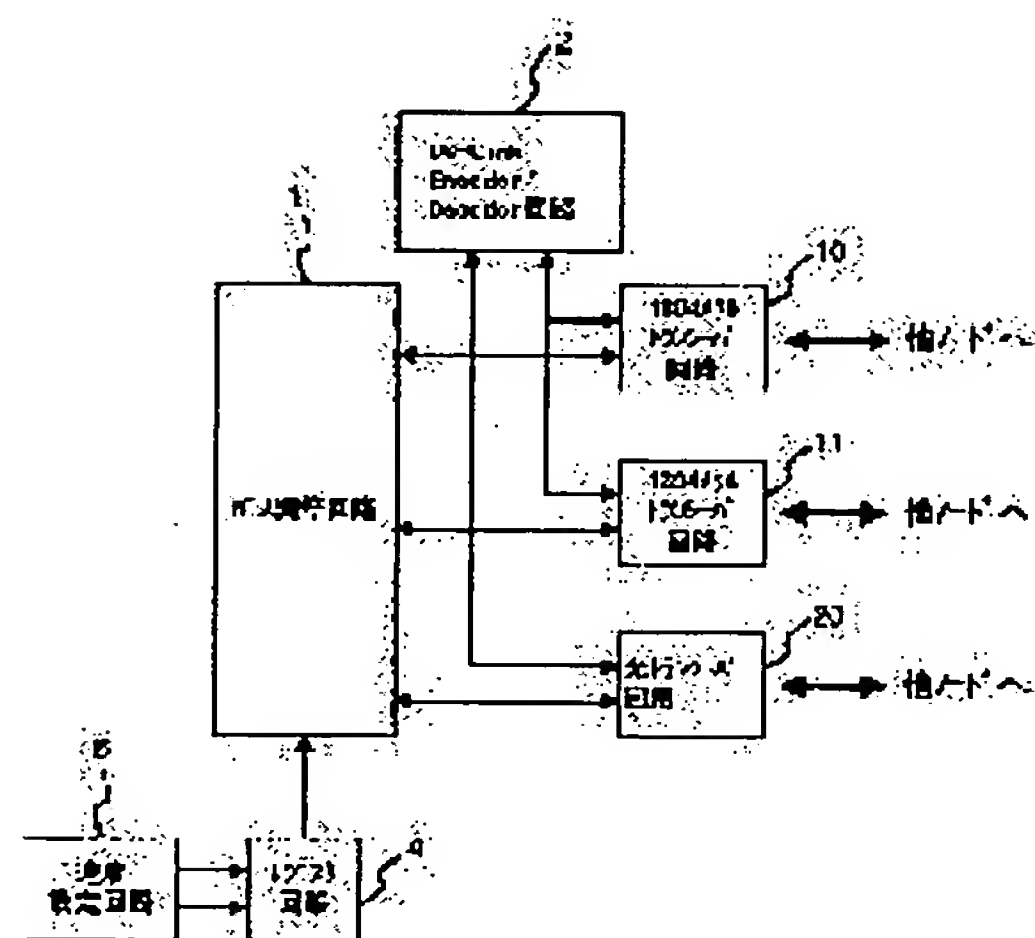
(72)Inventor : SAITO TOMOKI

(54) TRANSMISSION AND RECEPTION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To transfer a signal from a bus arbitration circuit and a signal from other transceiver circuit to a transceiver circuit whose operating speed is slow even in the case that maximum operating speeds of a plurality of transceiver circuits in IEEE1394 physical layer circuits differ in an IEEE1394 serial bus.

SOLUTION: A bus arbitration circuit 1 reads information to decide an operating speed of a transceiver circuit from a register circuit 4 to adjust operating speeds of a plurality of transceiver circuits 10, 11, 20. The register circuit 4 is provided with a speed setting circuit to write a setting value of the operating speed externally to make operating speeds of pluralities of transceiver circuits 10, 11, 20 whose transmission speeds differ in matching with each other.



LEGAL STATUS

[Date of request for examination]

16.09.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3159144

[Date of registration]

16.02.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 9 8 1 5 9

(43) 公開日 平成11年(1999)4月9日

(51) Int. Cl. ⁶
H 0 4 L 12/40

識別記号

F I
H 0 4 L 11/00 3 2 0

審査請求

有

請求項の数 5

F D

(全 1 0 頁)

(21) 出願番号 特願平9-268251

(22) 出願日 平成9年(1997)9月16日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 斉藤 朝樹

東京都港区芝五丁目7番1号 日本電気株式
会社内

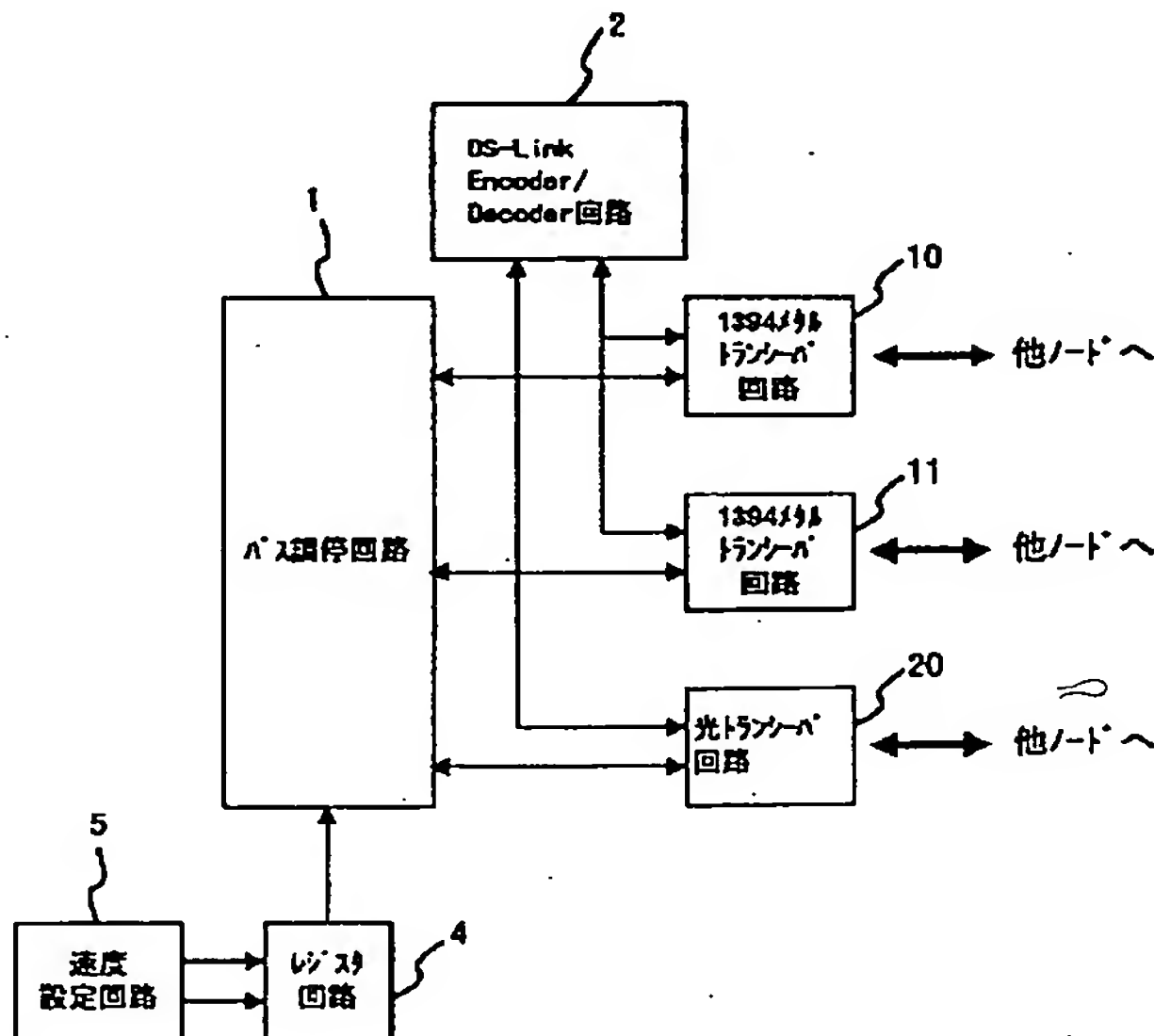
(74) 代理人 弁理士 鈴木 康夫 (外1名)

(54) 【発明の名称】 送受信回路

(57) 【要約】

【課題】 IEEE1394シリアルバスにおいて、IEEE1394物理層回路中の複数のトランシーバ回路の最大動作速度が異なる場合にも、動作速度が遅いトランシーバ回路へバス調停回路からの信号及び他のトランシーバ回路からの信号を伝達できるようにする。

【解決手段】 バス調停回路 1 は、トランシーバ回路の動作速度を決定する情報をレジスタ回路 4 から読み込み複数のトランシーバ回路 10、11、20 の動作速度を調整する。レジスタ回路 4 には、外部から動作速度の設定値を書き込むための速度設定回路を設けることにより、伝送速度の異なる複数のトランシーバ回路の動作速度を一致させる。



【特許請求の範囲】

【請求項 1】 複数の伝送速度に対応する 1394 シリアルバスノードの送受信回路であって、複数の伝送路を終端する複数のトランシーバと、前記複数のトランシーバに対するバス調停機能を有するバス調停回路と、前記バス調停回路の動作条件を決定するレジスタ回路と、前記複数のトランシーバの最高動作速度を記述する前記レジスタ回路中のレジスタ領域に外部から指定値を書き込むための速度設定回路とを備えることを特徴とする送受信回路。

【請求項 2】 前記速度設定回路は前記トランシーバ内に配置されることを特徴とする請求項 1 記載の送受信回路。

【請求項 3】 前記複数のトランシーバのうち 2 つ以上のトランシーバに前記速度設定回路が配置され、前記複数の速度設定回路の出力値の大小を判別し、前記複数の速度設定回路の出力値の中で送受信回路における動作速度が最も遅くなる出力値を選択し、前記レジスタ回路中の前記レジスタ領域に指定値として書き込むための大小判別回路を備えることを特徴とする請求項 2 記載の送受信回路。

【請求項 4】 同一の伝送路符号を用いるトランシーバ回路が接続される第 1 の内部バスと、他の伝送路符号を用いるトランシーバ回路が接続される第 2 の内部バスと、第 1 及び第 2 の内部バスの間に接続されデータの入出力を行う伝送路符号変換回路とを備えることを特徴とする請求項 1、2 又は 3 記載の送受信回路。

【請求項 5】 前記伝送路符号変換回路はトランシーバ間の信号のリピータ機能を有することを特徴とする請求項 4 記載の送受信回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、パーソナルコンピュータやその周辺機器、Audio/Visual機器を接続することが可能なシリアルバスであって、IEEE 発行, "IEEE Standard for a High Performance Serial Bus", -IEEE Std. 1394-1995- (以下、「IEEE Std. 1394-1995」という。)により標準化された高速シリアルバス(「1394シリアルバス」という。)において用いられる送受信回路に関する。

【0002】

【従来の技術】パーソナルコンピュータと、プリンタ、ハードディスク、イメージスキャナ等の周辺機器、デジタルカメラなどの映像機器及びオーディオ機器(このような端末機器を「ノード」という。)間において制御信号又は主信号を転送するために、1394シリアルバスを使用したノード(「1394シリアルバスノード」という。)により構成するネットワークが考えられている。

【0003】図 7 は、従来の物理層回路の一例であり、IEEE Std. 1394-1995 p. 92 に記載された物理層回路

(「1394物理層回路」という。)の構造を模式的に示すものである。

【0004】同図において、1394物理層回路は、3つの IEEE Std. 1394-1995 規格のトランシーバ回路(「1394メタルトランシーバ回路」という。)10、11、12 と、DS-Link Encoder/Decoder 回路 2 と、リンク層インターフェース回路 3 と、バス調停回路 1 と、レジスタ回路 4 とから構成される。

【0005】1394メタルトランシーバ回路 10、11、12 は、各々、他のノードと 2 対のケーブルを用いて主信号信号と制御信号の受け渡しを行う。

【0006】DS-Link Encoder/Decoder 回路 2 は、上位層であるリンク層からのデータ信号をバス上で送出及び受信するために DS-link 方式により変復調を行う。DS-link 変調とは、データ信号とクロック信号の排他的論理和をストロブ(strobe)信号とし、データ(Data)信号とストロブ(Strobe)信号を 2 対の伝送路を用いて送信する変調方法である。

【0007】リンク層インターフェース回路 3 は、上位層であるリンク層とのデータ信号と制御信号の受け渡しを行う回路である。

【0008】バス調停回路 1 は、1394物理層回路の動作のための諸設定及び 1394シリアルバス上へのデータ信号及び制御信号の送出のタイミングを制御する。このバス調停回路 1 には、1394物理層回路が動作する条件が記述されたレジスタ回路 4 が接続されており、1394物理層回路はこのレジスタ回路 4 に記述された条件に従って動作する。

【0009】レジスタ回路 4 は、通常、上位層であるリンク層から制御され、レジスタ回路 4 の読み込み、書き換えはリンク層からリンク層インターフェース回路 3 を介して行われる。

【0010】図 8 は、レジスタ回路 4 の記述内容であり、IEEE Std. 1394-1995 p. 341 に記載されたレジスタマップを示す。レジスタマップの情報の書き換えは、IEEE Std. 1394-1995 規格によると、リンク層からの制御によってのみ書き換えが可能となっている。このレジスタマップ中、0010 番地の下位 2 ビットの [SPD] 領域に 1394物理層回路の最高動作速度が記述されている。IEEE Std. 1394-1995 規格では、1394物理層回路の最高動作速度の規格は 100Mbps(「S100」という。)、200Mbps(「S200」という。)、400Mbps(「S400」という。)の 3 種類が規定されており、1394物理層回路の性能によって選択される。

【0011】レジスタマップ内の [SPD] 領域の値と動作速度との関係は、(00)と S100、(01)と S200 及び (10)と S400 が対応している。例えば、[SPD] 領域が (01) に設定されると、自ノードでの処理可能な最高速度の示す制御信号を、自ノードの 1394メタルトランシーバに接続されている対向ノードへ送出し、その対向ノードから送出され

る信号の最高速度はS200となる。

【0012】このように、従来の1394物理層回路は、その回路配置されたレジスタ回路中のレジスタマップの[SPD]領域によってその処理可能な動作速度が制限され、且つその設定の変更はリンク層からの制御によってのみ可能となっていた。

【0013】

【発明が解決しようとする課題】従来の1394物理層回路は、その回路内にある全ての1394メタルトランシーバ回路が同一の速度で動作することを前提としている。そのため、1394物理層回路内の全ての1394メタルトランシーバ回路は、各々の1394メタルトランシーバ回路に接続される全ての対向ノードに、自分自身の最高処理速度として、レジスタ中の[SPD]領域で設定された値を通知し、どの対向ノードとともに同一の速度でデータ転送ができるように整合をとっている。

【0014】しかしながら、図9に示すように、1394物理層回路内部の複数のトランシーバ回路のうち少なくとも1つ以上を、例えば、IEEE Std. 1394-1995規格のノード間において伝送距離の拡張用として、Plastic Optical Fiber (POF)やUnshielded Twist Pair (UTP) cableを用いて伝送するように、1394メタルトランシーバを光トランシーバやUTPトランシーバに置き換えた場合（"Draft of Long Distance 1394 (100m) Physical Layer As a Response to DAVIC's CFP8 Section 4.1.3.3 The A20 Reference Point, Home Network.", DAVIC (Digital Audio-Visual Council)'s 8th Call For Proposals CFP8_011に記載されている。）、同一の1394物理層回路内で、各トランシーバの最高動作速度に違いが生じることがある。具体的には、元々の1394メタルトランシーバ回路10の最高動作速度がS200であり、光トランシーバ回路20やUTPトランシーバ回路の最高動作速度がS100という場合が相当する。

【0015】従来は、IEEE Std. 1394-1995規格に従い、1394メタルトランシーバ回路10の最高動作速度に併せてレジスタ回路のレジスタマップ中の[SPD]領域の値が設定されている。そのため、1394メタルトランシーバ回路10は、対向ノードに対して自ノードの最高処理速度はS200を通知し、結果として対向ノードからS200の速度の信号が送られてくる。

【0016】この1394物理層回路が、S200の速度の信号を1394メタルトランシーバ10から受信し、S100の速度しか動作できない光トランシーバ20に送出するようになりピータ動作をする時、光トランシーバ20にS200の信号が入力されてしまい、その処理速度不足により正常な送信ができず、また光トランシーバ20に接続された対向の光トランシーバも正常な受信ができないという問題が生じる。

【0017】（発明の目的）本発明は、上記課題を解決するために、1394物理層回路内に構成される複数のトラ

ンシーバ回路の各々最高動作速度が異なる場合においても、あるトランシーバ回路に接続された対向ノードから送られてくるデータ信号を、最高動作速度が異なる自ノードの別のトランシーバに接続された対向ノードへ転送することを可能とする送受信回路を提供することを目的とする。

【0018】

【課題を解決するための手段】上記の目的を達成するために、本発明の第1の送受信回路は、1394物理層回路にあるレジスタ回路のレジスタマップ内の[SPD]領域の値を外部から設定可能とする端子と、[SPD]領域への設定値を与える速度設定回路を有する。

【0019】本発明の第2の送受信回路は、レジスタ回路のレジスタマップ中の[SPD]領域の値を外部から設定可能とする端子と、[SPD]領域への設定値を与える速度設定回路を内部に持つトランシーバ回路を有する。

【0020】本発明の第3の送受信回路は、複数のトランシーバが[SPD]領域への設定値を与える速度設定回路を有し、これら複数の速度設定回路出力の大小関係を判別し、動作速度として最も小さい値を選択し、[SPD]領域にその値を書き込むための大小判別回路を有する。

【0021】（作用）1394物理層回路におけるバス動作速度の設定値を外部から設定することを可能とし、送受信回路に異なるトランシーバを使用する場合、動作速度を前記トランシーバ回路のうちで最も処理速度が遅いトランシーバの速度に一致させ、対向ノードにも自ノードの最高処理速度として前記処理速度を通知する。

【0022】

【発明の実施形態】本発明の実施の形態の送受信回路について図面を参照して説明する。

【0023】＜実施の形態1＞図1は、本発明の第1の実施の形態の送受信回路を示すブロック図である。同図において、送受信回路は、2つの1394メタルトランシーバ回路10、11、1つの光トランシーバ回路20、DS-Link Encoder/Decoder回路2、バス調停回路1、レジスタ回路4及び速度設定回路5とから構成される。

【0024】2つの1394メタルトランシーバ回路10、11は、DS-Link Encoder/Decoder回路2のEncoder出力とDecoder入力とバス接続され、DS-Link Encoder/Decoder回路2とデータの入出力を行う機能と、バス調停回路1に接続され制御信号の入出力を行う機能と、ケーブルを媒体に対向ノードとデータ信号及び制御信号の送受信を行う機能とを有する。

【0025】光トランシーバ回路20は、DS-Link Encoder/Decoder回路2のDecoder出力及びEncoder入力と接続され、データ信号の入出力を行う機能と、バス調停回路1に接続され制御信号の入出力を行う機能と、光ファイバを媒体に対向ノードとデータ信号及び制御信号の送受信を行う機能とを有する。

【0026】DS-Link Encoder/Decoder回路2は、光ト

ランシーバ回路 20 からのデータを Data-Strobe 信号に変換し、バス接続された 2 つの 1394 メタル トランシーバ回路 10、11 に出力し、逆に 2 つのバス接続された 2 つの 1394 メタル トランシーバ回路 10、11 からの Data-Strobe 信号をデコードし、光 トランシーバ回路 20 に出力する。

【0027】バス調停回路 1 は、2 つの 1394 メタル トランシーバ回路 10、11 と光 トランシーバ回路 20 に接続され、この 3 つの トランシーバ回路の信号の入出力を制御する。また、自ノードの設定情報（最大動作速度など）を各々の トランシーバ回路に転送する。

【0028】レジスタ回路 4 は、図 8 に示すようなレジスタマップを有しており、バス調停回路 1 に接続され、バス調停回路 1 から設定値を読み込まれる。また、レジスタ回路 4 の [SPD] 領域は、速度設定回路 5 に接続されている。

【0029】図 2 は、速度設定回路 5 の構成を示す図である。同図において、速度設定回路 5 はバイアス電源 100 に接続された 2 つのスイッチ 101、102 を備えている。この 2 つのスイッチ 101、102 の出力ポートはレジスタ回路 4 の [SPD] 領域に接続されている。2 つの出力ポートは、スイッチの切り替えにより、それぞれ独立に論理的な High(1) と Low(0) の 2 値信号を出力する。

【0030】次に、本発明の第 1 の実施の形態の動作を説明する。

【0031】図 3 は、レジスタ回路 4 のレジスタマップ中の [SPD] 領域の設定値と本発明の送受信回路の動作速度の関係を示す図である。レジスタマップ中の [SPD] 領域の設定値として、2 つの 1394 メタル トランシーバ回路 10、11 と光 トランシーバ回路 20 の動作速度のうち遅い方の動作速度が選択される。例えば、1394 メタル トランシーバ回路 10、11 は S200 の動作が可能であり、光 トランシーバ回路 20 は S100 のみの動作が可能の場合は、送受信回路の動作速度を S100 に制限するため速度設定回路 5 の出力ポートは (00) に設定される。結果として、レジスタ回路 4 のレジスタマップ中の [SPD] 領域が (00) に設定される。

【0032】バス調停回路 1 は、この [SPD] 領域を読み込み、2 つの 1394 メタル トランシーバ回路 10、11 と光 トランシーバ回路 20 及びその各々に接続される対向ノードに自ノードの動作速度が S100 であることを通知する。これによって、1394 メタル トランシーバ回路 10、11 に接続された対向ノードは、このノードに対して S100 の速度でデータを転送し、DS-Link Encoder/Decode 回路 2 を経由して、光 トランシーバ回路 20 から別の対向ノードへ同じく S100 の速度でデータを転送し、データのリピータ動作を完了する。

【0033】速度設定回路 5 の出力ポートの設定は、1394 メタル トランシーバ回路 10、11 及び光 トランシー

バ回路 20 の動作速度に応じて適宜変更することができる。例えば、1394 メタル トランシーバ回路 10、11 の最大動作速度が S400 であり、光 トランシーバ回路 20 の最大速度が S200 の場合は、送受信回路が S200 で動作するように速度設定回路 5 の出力ポートを (01) に設定すれば良い。また、1394 メタル トランシーバ回路及び光 トランシーバ回路の動作速度が共に S200 と同一速度の場合は、速度設定回路出力は (01) に設定すれば良い。

【0034】トランシーバ回路としては、本実施の形態の 1394 メタル トランシーバ回路や光 トランシーバ回路の他に、Unshielded Twist Pair (UTP) Cable 伝送用の UTP トランシーバ回路、他の媒体を伝送路とする トランシーバ回路など、トランシーバ回路としての機能を備えるものであれば何れでも使用することができる。また、光 トランシーバとしては、石英系の光ファイバ伝送用の光 トランシーバ回路でも、Plastic Optical Fiber (POF) 伝送用の光 トランシーバでもよいことは明かである。

【0035】＜実施の形態 2＞図 4 は、本発明の第 2 の実施の形態の送受信回路を示すブロック図である。同図において、送受信回路は、2 つの 1394 メタル トランシーバ回路 10、11、1 つの光 トランシーバ回路 20、DS-Link Encoder/Decoder 回路 2、バス調停回路 1、レジスタ回路 4 及び速度設定回路 5 から構成される。

【0036】各回路の機能と接続関係は、速度設定回路 5 が光 トランシーバ回路 20 内部に配置されていることを除いて、図 1 に示された本発明の第 1 の実施の形態と同じである。

【0037】レジスタ回路 4 は、図 8 に示すようなレジスタマップを有しており、バス制御回路 1 に接続され、バス制御回路 1 から設定値を読み込まれる。また、レジスタ回路 4 の [SPD] 領域アドレスは、速度設定回路 5 を有する光 トランシーバ回路 20 に接続されている。光 トランシーバ回路 20 内部に配置された速度設定回路 5 の出力は、2 つのポートを有し、論理的な High(1) と Low(0) の 2 値信号を出力する。

【0038】次に、本発明の第 2 の実施の形態の動作を説明する。

【0039】光 トランシーバ回路 20 内の速度設定回路 5 の出力値は、予め光 トランシーバ回路 20 の最大動作速度に設定される。例えば、光 トランシーバ回路 20 の最高動作速度が S100 の場合、図 3 のレジスタ内の [SPD] 領域設定値と動作速度の関係から速度設定回路 5 は (00) という値を出力する。この出力値がレジスタの [SPD] 領域の設定値として設定される。

【0040】バス調停回路 1 は、レジスタ回路 4 の [SPD] 領域の設定値を読み込み、2 つの 1394 メタル トランシーバ回路 10、11 と光 トランシーバ回路 20 及びその各々に接続される対向ノードに対して、自ノードの動作速度が S100 であることを通知する。1394 メタル トランシーバ回路 10、11 に接続された対向ノードは、このノ

ードに対してS100の速度でデータを転送し、DS-Link Encoder/Decoder回路2を経由して、光トランシーバ回路20から別の対向ノードへ同じくS100の速度でデータを転送し、データのリピータ動作を完了する。

【0041】本実施の形態においても、1394トランシーバ回路の最大動作速度がS400であり、光トランシーバ回路の最大速度がS200の場合は、送受信回路がS200で動作するように速度設定回路出力を(01)に設定する。また、1394トランシーバ回路及び光トランシーバ回路の動作速度が共にS200の場合は、速度設定回路出力を(01)に設定する。

【0042】本実施の形態においては、動作速度の遅い光トランシーバ回路自体に速度設定回路を備えており、当該光トランシーバ回路を使用する際にレジスタ回路4の[SPD]領域とが接続され自動的に最適な速度の設定が行われる。

【0043】＜実施の形態3＞図5は、本発明の第3の実施の形態の送受信回路を示すブロック図である。同図において、送受信回路は、2つの1394メタルトランシーバ回路10、11、2つの光トランシーバ回路20、21、DS-Link Encoder/Decoder回路2、バス調停回路1、レジスタ回路4、速度設定回路5-1、5-2及び大小判別回路6から構成される。

【0044】2つの1394メタルトランシーバ回路10、11は、DS-Link Encoder/Decoder回路2のEncoder出力及びDecoder入力とバス接続され、DS-Link Encoder/Decoder回路2とデータの入出力を行う機能と、バス調停回路1に接続され制御信号の入出力を行う機能と、ケーブルを媒体として対向ノードとデータ信号及び制御信号の送受信を行う機能を有する。

【0045】2つの光トランシーバ回路20、21は、DS-Link Encoder/Decoder回路2のDecoder出力及びEncoder入力とバス接続されデータ信号の入出力を行う機能と、バス調停回路1に接続され制御信号の入出力を行う機能と、光ファイバを媒体として対向ノードとデータ信号及び制御信号の送受信を行う機能を有する。また、それぞれの光トランシーバ回路20、21には、速度設定回路5-1、5-2が内部に配置されている。

【0046】DS-Link Encoder/Decoder回路2は、2つの光トランシーバ回路20、21からのデータをData-Strobe信号に変換し、バス状に接続された2つの1394メタルトランシーバ回路10、11に出力し、逆にバス接続された2つの1394メタルトランシーバ回路10、11からのData-Strobe信号をデコードし、2つの光トランシーバ回路20、21に出力する。

【0047】バス調停回路1は、2つの1394メタルトランシーバ回路10、11と2つの光トランシーバ回路20、21と接続され、この4つのトランシーバ回路の信号の入出力を制御する。また、自ノードの設定情報(最大動作速度など)をトランシーバ回路に転送し、トラン

シーバ回路各々に接続される対向ノードに設定情報を転送する。

【0048】レジスタ回路4は、図8に示すようなアドレスマップを有しており、バス調停回路1に接続され、バス調停回路1から設定値を読み込まれる。

【0049】2つの速度設定回路5-1、5-2は、図2に示されているような2つのポートを有し、論理的なHigh(1)とLow(0)の2値信号を出力する。

【0050】大小判別回路6は、光トランシーバ回路20、21内部に配置された速度設定回路5-1、5-2の出力から、2つの設定値の大小を判別し、その結果をレジスタ回路4の[SPD]領域アドレスに出力する。

【0051】次に、本発明の第3の実施の形態の動作を説明する。

【0052】図3は、レジスタ回路4のアドレスマップ中の[SPD]領域の設定値と本発明の送受信回路の動作速度の関係を示す図である。この[SPD]領域の設定値として、2つの光トランシーバ回路20、21の動作速度の遅い方の設定値が選択される。

【0053】例えば、光トランシーバ回路20はS200の動作が可能であり、光トランシーバ回路21はS100のみの動作が可能な場合を考える。この場合、送受信回路の動作速度をS100に制限する。光トランシーバ回路20の動作速度はS200であるため、内蔵された速度設定回路5-1の2つのポートの出力値は、図3より(01)に設定されている。一方、光トランシーバ回路21の動作速度はS100であるため、内蔵された速度設定回路5-2の2つのポートの出力値は、図3より(00)に設定されている。この2つの速度設定回路5-1、5-2の出力は、大小判別回路6で大小判別され、動作速度が遅い方の値のS100に対応する(00)が選択され、この結果、レジスタ回路4のレジスタマップ中の[SPD]領域が(00)に設定される。

【0054】図6は、大小判別回路6の論理動作を表す図である。速度設定回路5-1、5-2の出力の組み合わせに対し、常に各光トランシーバ回路の動作速度の遅い方に対応する出力が選択される。

【0055】バス調停回路1はこの[SPD]領域を読み込み、2つの1394トランシーバ回路10、11と2つの光トランシーバ回路20、21の各々に接続される対向ノードに自ノードの動作速度がS100であることを通知する。1394メタルトランシーバ回路10、11に接続された対向ノードは、このノードにS100の速度でデータを転送し、DS-Link Encoder/Decoder回路2を経由して、光トランシーバ回路20、21からその対向ノードへ同じくS100の速度でデータを転送し、データのリピータ動作を完了する。

【0056】なお、光トランシーバ回路20の最大速度がS400(内蔵されている速度設定回路出力が(10))であり、光トランシーバ回路21の最大速度がS200(内蔵されている速度設定回路出力が(01))の場合は、大小判別

回路 6 は、2 つの光トランシーバ回路 2 0、2 1 の遅い方の動作速度に対応する (01) を選択して速度設定回路へ出力し送受信回路は S200 で動作する。また、光トランシーバ回路 2 0、2 1 の動作速度が共に S400 の場合は、大小判別回路 6 は (10) が選択し送受信回路は S400 で動作する。

【0057】

【発明の効果】本発明の送受信回路によれば、複数の伝送路を終端する複数のトランシーバの最高動作速度を記述するレジスタ領域に対し、外部から指定値を書き込むための速度設定回路を備えているので、異なる動作速度をもつ複数のトランシーバが接続された場合においても、トランシーバ間のデータ転送における動作速度の調整を任意に行うことができ、リピータ動作等を支障なく行うことが可能である。

【0058】また、トランシーバ内にその動作速度を設定できる速度設定回路を搭載することにより、当該トランシーバの置き換えによる動作速度の設定の変更操作を不要とすることが可能である。

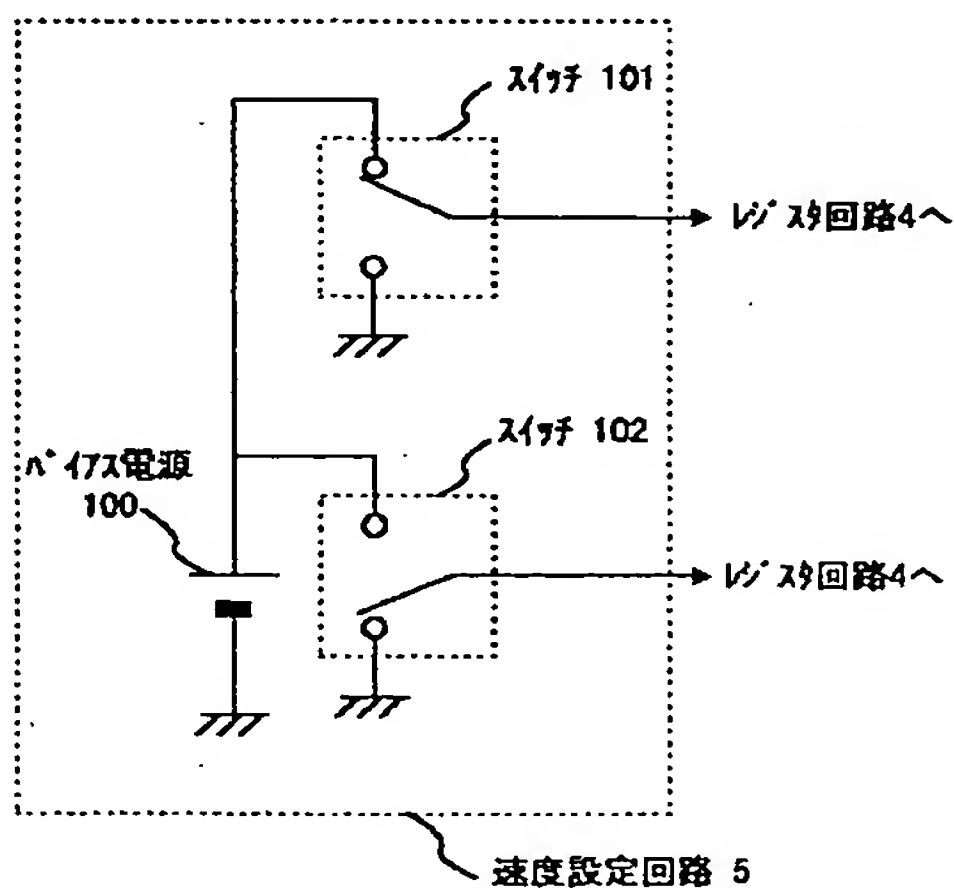
【0059】さらに、複数のトランシーバの速度設定値の大小を判別しその最小設定値を出力する大小判別回路を備えることにより、速度設定回路を搭載したトランシーバの複数の置き換えた場合においても、最も動作速度が遅い設定値が自動に選択することを可能とし、動作速度の設定が簡便に行える。

【0060】本発明によれば、光トランシーバ等のノード間の伝送距離の拡張等に好適なトランシーバを使用することが可能となる。

【0061】

【図面の簡単な説明】

【図 2】



【図 1】本発明の第 1 の実施の形態の送受信回路を示すブロック図である。

【図 2】第 1 の実施の形態の速度設定回路の構成を示すブロック図である。

【図 3】レジスタマップ中の [SPD] 領域の設定値と本発明の送受信回路の動作速度の関係を表す図である。

【図 4】第 2 の実施の形態の送受信回路を示すブロック図である。

【図 5】第 3 の実施の形態の送受信回路を示すブロック図である。

【図 6】第 3 の実施の形態の大小判別回路の論理動作を表す図である。

【図 7】従来の 1394 物理層回路を示す図である。

【図 8】従来の 1394 物理層回路及び本発明の送受信回路中にあるレジスタマップを示す図である。

【図 9】従来の 1394 物理層回路中のトランシーバの一部を光トランシーバ回路に置き換えた送受信回路を示すブロック図である。

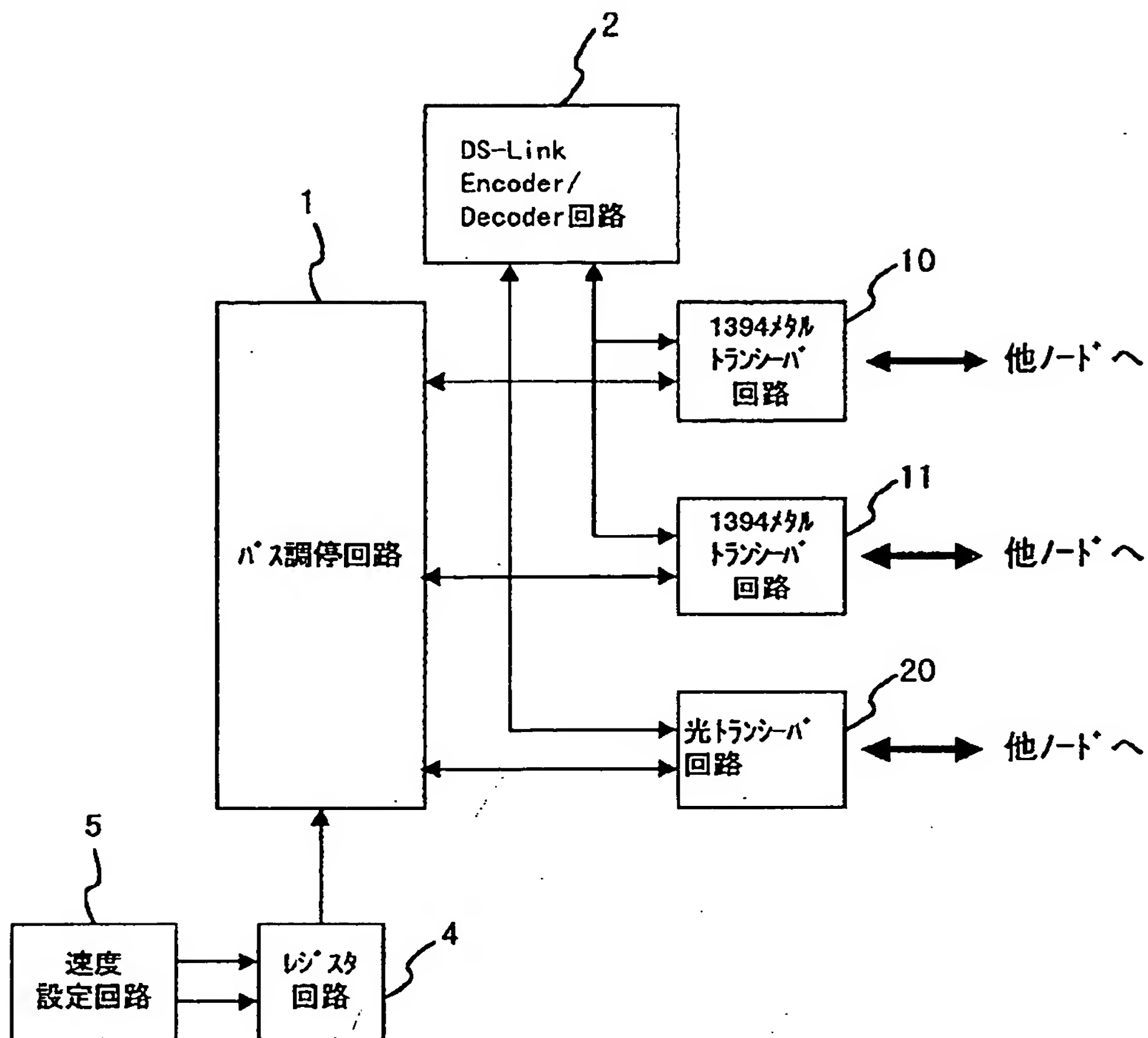
【符号の説明】

- 1 バス調停回路
- 2 DS-Link Encoder/Decoder 回路
- 3 リンク層インターフェース回路
- 4 レジスタ回路
- 5、5-1、5-2 速度設定回路
- 6 大小判別回路
- 10、11 1394 メタルトランシーバ回路
- 20、21 光トランシーバ回路
- 100 バイアス電源
- 101、102 スイッチ

【図 3】

[SPD] 領域設定値		速度
0	0	S100
0	1	S200
1	0	S400
1	1	未定義

2

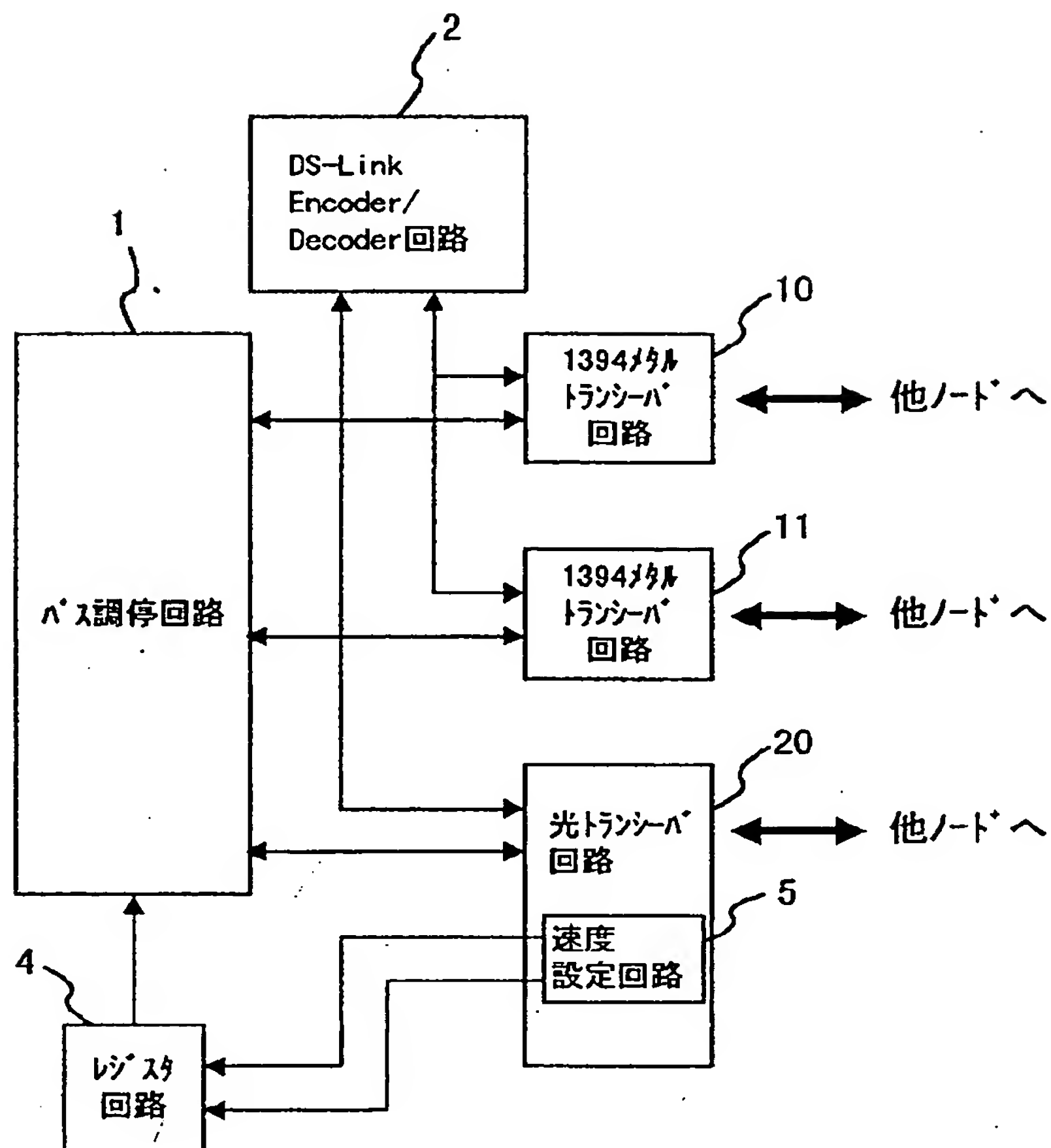


【图 8】

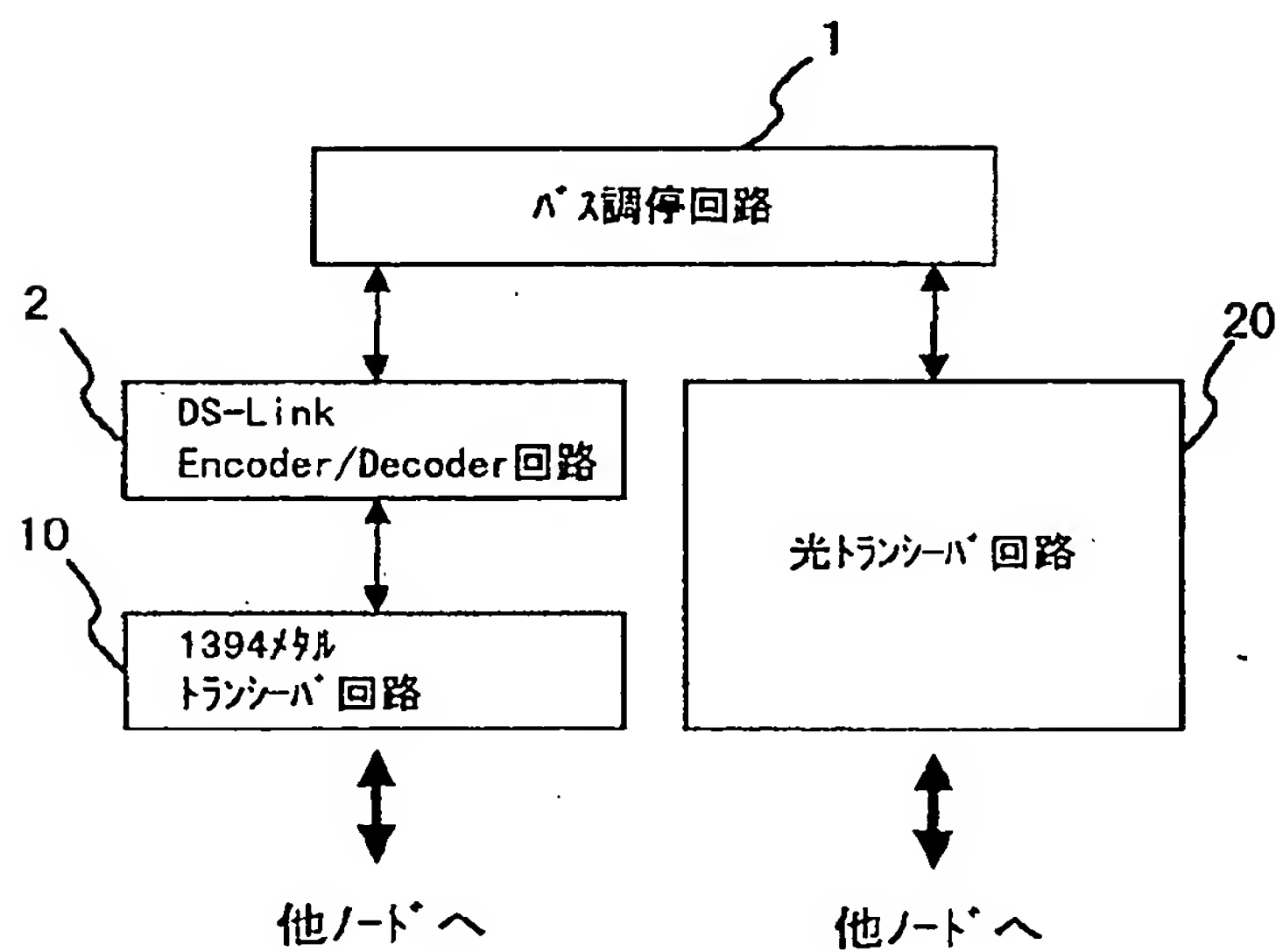
速度設定 回路5-1出力	速度設定 回路5-2出力	大小判別回路6出力
00	00	00
	01	00
	10	00
01	00	00
	01	01
	10	01
10	00	00
	01	01
	10	10

	Contents							
Address	0	1	2	3	4	5	6	7
0000	Physical-ID						R	PS
0001	RHB	IBR	Gap-count					
0010	SPD		E	#Ports				
0011	AStat0		BStat0		Ch0	Con0	Reserved	
0100	AStat1		BStat1		Ch1	Con1	Reserved	
...	...							

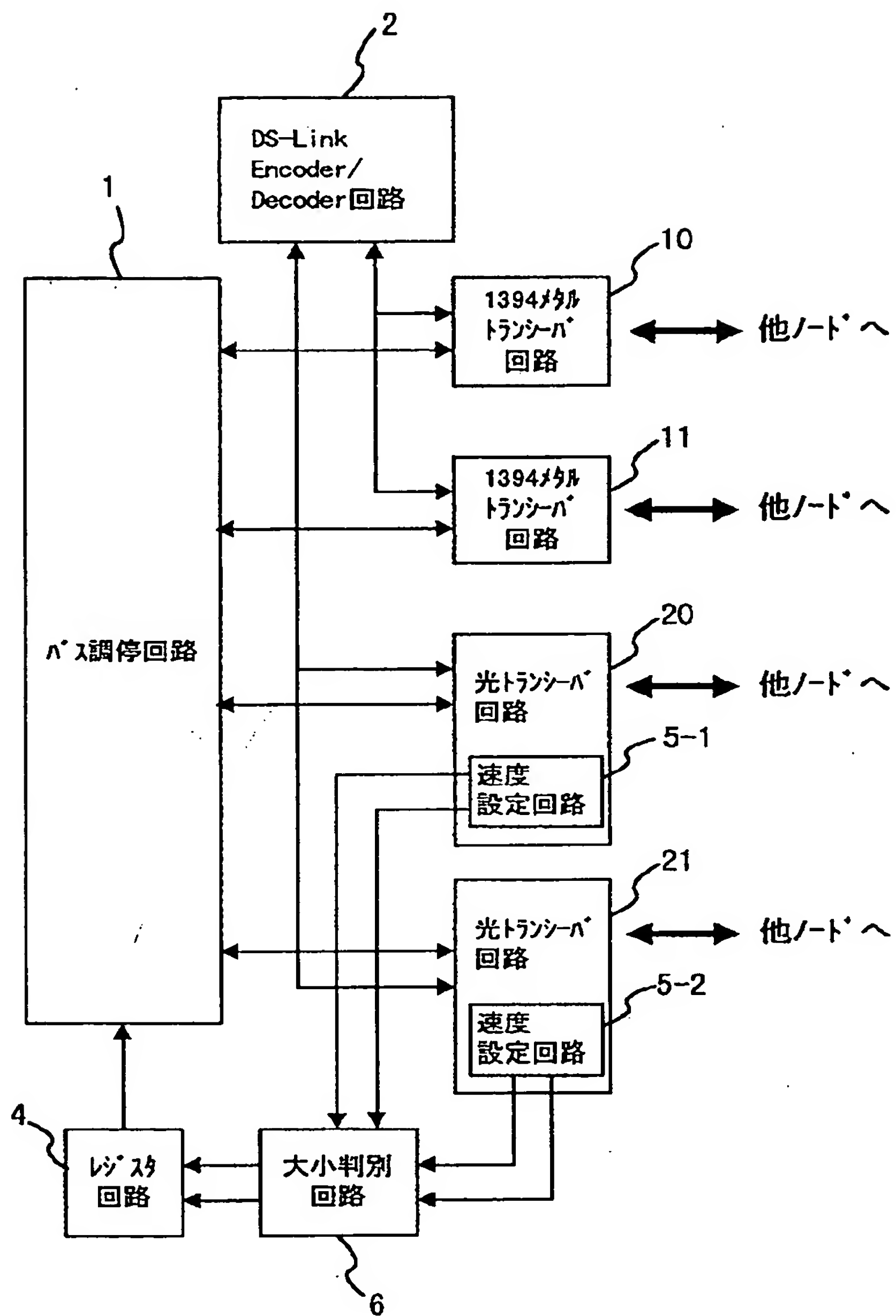
【図 4】



【図 9】



【図5】



【図 7】

